

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-298122

(43) 公開日 平成5年 (1993) 11月12日

(51) Int. Cl.⁵
G06F 9/46
12/08

識別記号 庁内整理番号
340 B 8120-5B
W 7232-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1 (全 4 頁)

(21) 出願番号 特願平4-97919

(22) 出願日 平成4年 (1992) 4月17日

(71) 出願人 000002853

ダイキン工業株式会社

大阪府大阪市北区中崎西2丁目4番12号 梅
田センタービル

(72) 発明者 池上 裕之

滋賀県草津市岡本町字大谷1000番地の2

ダイキン工業株式会社滋賀製作所内

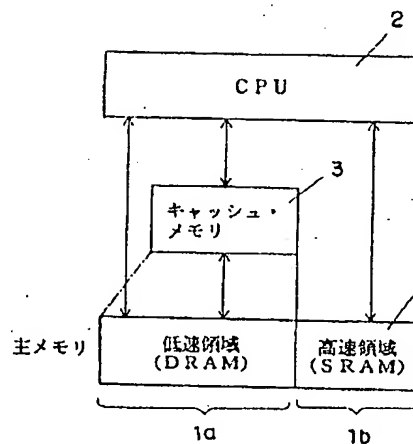
(74) 代理人 弁理士 津川 友士

(54) 【発明の名称】 マルチタスク処理装置

(57) 【要約】

【目的】 マルチタスク処理においてシステム全体のタスク処理を高速化する。

【構成】 主メモリ1の一部の記憶領域1bが高速のSRAMで構成され、その高速記憶領域1bがキャッシュ・メモリ3の非キャッシュ領域に設定されている。そして、キャッシュ・メモリ3のヒット率が悪くなるような負荷の大きいタスクがその高速記憶領域1bに割り当てられている。



【特許請求の範囲】

【請求項1】 マルチタスク処理可能な処理手段(2)と、主メモリ(1)との間にキャッシュ・メモリ(3)を介在させてなるマルチタスク処理装置において、主メモリ(1)の一部を高速アクセス可能な高速メモリ領域(1b)に設定するとともに、非キャッシュ領域に割り当て、特定のタスクを高速メモリ領域(1b)に割り当ててなることを特徴とするマルチタスク処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マルチタスク処理装置に関し、さらに詳細に言えば、キャッシュ・メモリを備え、複数のタスクを処理するマルチタスク処理装置に関する。

【0002】

【従来の技術】 従来から、マルチタスク処理が可能なシステムにおいては、扱うプログラム量、データ量が多くなるので、主メモリが大容量のDRAMで構成されている。DRAMはアクセス速度が遅く、プロセッサの処理能力を十分には発揮させることができないので、メモリアクセスを高速化することが強く要望されている。この要望を達成するために、図2に示すように、主メモリ10とCPU11の間に比較的小容量で高速アクセス可能なキャッシュ・メモリ12を設けることが一般化しつつある。そして、主メモリ10とCPU11との間にキャッシュ・メモリ12を介在させたシステムにおいて、主メモリ10に対するアクセスを行なう場合には、キャッシュ・メモリ12に該当するデータが存在しなければ、主メモリ10に対するアクセスを行ない、主メモリ10に対するアクセスに伴って、一定量のデータ(ブロック)を主メモリ10からキャッシュ・メモリ12に転送する。この場合に、CPU11による主メモリ10のアクセスは連続するアドレスに対してなされる可能性が非常に高いので、続くアクセスをキャッシュ・メモリ12に対して行なわせることにより、メモリアクセスを高速化できる。

【0003】 このようなキャッシュ・メモリ12を設けることにより、例えば、処理負荷の小さい5つのタスクa, b, c, d, eをa→b→c→d→e→a→b・・・のようにタスクチェンジしながら処理しようとする場合、a, b, c, d, eの各タスクの全てあるいはほとんどのタスクをキャッシュ・メモリ12内に収容した場合には、高いヒット率でタスクの処理を行なうことができ、複数タスクを処理するシステムにおける全体としての処理速度を向上させることができる。

【0004】

【発明が解決しようとする課題】 しかしながら、処理するタスクの中に処理負荷の大きなタスクAが入り、a→b→A→c→d→A→e→a→b・・・のようにタスクチェンジを行なった場合、タスクAのチェンジ毎に、キ

ャッシュ・メモリ12のほとんどの内容がタスクAの内容になってしまい、再び小さいタスクa, b, c, d, eの処理を行なう場合に、それらのタスクa, b, c, d, eを主メモリ10から転送しなければならず、システム全体の処理効率が低下する問題点があった。特にタスクAと他の小さいタスクのチェンジをA→a→A→a・・・のように頻繁に行なった場合、タスクAのチェンジ毎に大きな容量を必要とするタスクAがキャッシュ・メモリ12と主メモリ10との間で転送されることになり、キャッシュ・メモリ12のヒット率が低下するとともに、転送時間の増大による処理効率の低下も問題となる。また、キャッシュ・メモリ12の一部のみがタスクAの内容になる場合でも、キャッシュ・メモリ12内におけるブロック転送先はプロセッサ側からコントロールできないので、システム全体の処理効率が低下する問題点は同様に生じる。

【0005】 また、キャッシュ・メモリ12の記憶容量を大きくすることも考えられるが、キャッシュ・メモリ12の利用率が低下するのみならず、ブロック転送先はプロセッサ側からコントロールできないので前記問題点が解消できる保証はない。

【0006】

【発明の目的】 この発明は上記の問題点に鑑みてなされたものであり、複数のタスクを使用するシステムにおいて、システム全体のタスク処理を高速化できるマルチタスク処理装置を提供することを目的としている。

【0007】

【課題を解決するための手段】 上記の目的を達成するための、請求項1のマルチタスク処理装置は、マルチタスク処理可能な処理手段と、主メモリとの間にキャッシュ・メモリを介在させてなるマルチタスク処理装置において、主メモリの一部を高速アクセス可能な高速メモリ領域に設定するとともに、非キャッシュ領域に割り当て、特定のタスクを高速メモリ領域に割り当てている。

【0008】

【作用】 請求項1のマルチタスク処理装置であれば、マルチタスク処理を行なう場合に、処理負荷の大きいような特定のタスクはキャッシュ・メモリの処理から除外されるので、特定のタスク以外のタスクについてはキャッシュ・メモリ内においてヒット率が高い状態でタスクを処理することができるとともに、特定タスクを処理する場合は特定タスクが主メモリの高速領域に割り当てられているので高速に処理できる。したがって、システム全体のタスク処理を高速化することができる。

【0009】

【実施例】 以下、実施例を示す添付図面によって詳細に説明する。図1はこの発明のマルチタスク処理装置の一実施例を示すブロック図である。このマルチタスク処理装置は、主メモリ1と、CPU2と、主メモリ1とCPU2との間に設けられたキャッシュメモリ3とを有して

いる。CPU 2は所定のオペレーション・システムで動作するマイクロプロセッサなどで構成される。キャッシュ・メモリ 3は通常、SRAMで構成され、システム上、ヒット率を向上できる最適な容量が選択される。主メモリ 1は大容量、低速のDRAMで構成された低速領域 1 aと、高速のSRAMで構成された高速領域 1 bとを有しており、低速領域 1 aはキャッシュ・メモリ 3のキャッシュ領域に設定され、高速領域 1 bは非キャッシュ領域に設定されている。また、キャッシュ・メモリ 3のヒット率を悪くする処理負荷の大きなタスク Aは、高速領域 1 bに割り当てられており、処理負荷の大きなタスク A以外の小さいタスク a, b, c, d, eは低速領域 1 aに割り当てられている。

【0010】このように構成されたマルチタスク処理装置の動作は次のとおりである。図示しない入力装置からの入力などにより、処理負荷の小さい5つのタスク a, b, c, d, eをa→b→c→d→e→a→b→...のようにタスクチェンジを行ないながら実行する時は、所定のキャッシュ・メモリ管理アルゴリズムにより、キャッシュ・メモリ 3には処理しようとするタスク a, タスク b, タスク c, タスク d, タスク eが順次、キャッシュ・メモリ 3内に収容され、高いヒット率で処理を実行できる。そして、キャッシュ・メモリ 3の容量と5つのタスク a, b, c, d, eの大きさの関係により、キャッシュ・メモリ 3内に求めるタスクがない場合は、主メモリ 1の低速領域 1 aとの間で所定の転送処理を行なうが、処理負荷の大きいタスク Aをキャッシュ・メモリ 3が扱うことはないで、キャッシュ・メモリ 3のヒット率を低下させることがなくなり、前記した従来の場合に比べて処理の早いマルチタスク処理が実現できる。

【0011】一方、処理負荷の大きいタスク Aを実行する時は、タスク Aの割り当てられた高速領域 1 bは非キャッシュ領域なので、キャッシュ・メモリ 3を介さずに直接、主メモリ 1にアクセスすることになるが、高速領域 1 bはSRAMで構成されているのでタスク Aの処理を高速に行なうことができる。例えば、グラフィック用の専用ハードウェアを持たないローコスト・ワークステーション装置において、プロセッサによってグラフィック処理を行なう場合、高速領域 1 bにグラフィック処理プログラムを割り当て、グラフィック処理を行なうことにより、従来の構成に比べてキャッシュ・ミスの発生を低減させることができ、システム全体の処理効率を向上

させることが可能となる。

【0012】なお、処理負荷の大きいタスクを他のタスクと区別してキャッシュ・メモリの処理から外し、主メモリ 1の高速領域 1 bに割り当てる方法としては、グラフィックプログラムは一般に大きなプログラムとなるので、グラフィックプログラムを処理するコマンドをCPU 2が認識して、グラフィックプログラムを高速領域 1 bに割り当てる方法がある。

【0013】また、グラフィックプログラムに限らず、10 プログラム自体にプログラムの大きさに対応して高速領域 1 bに割り当てるか否かの判別となるフラグを設け、システムのOS (オペレーション・システム) がプログラムを処理するときに、そのフラグに基づいて、主メモリ 1の高速領域 1 bにプログラムを割り当てる方法も採用できる。

【0014】なお、この発明は上記実施例に限定されるものではなく、この発明の要旨を変更しない範囲内において種々の設計変形を施すことが可能である。例えば、主メモリ 1の高速領域 1 bに割り当てる特定タスクとして、20 処理負荷の大きなタスクの他、所定の要因により、キャッシュ・メモリ 3の高速化効果を低減させるようなタスクがあれば、そのようなタスクを主メモリ 1の高速領域 1 bに置くことにより、そのようなタスクをキャッシュ・メモリ 3から外すことができ、キャッシュ・メモリ 3を有効に利用することができる。

【0015】

【発明の効果】以上のように、請求項 1の発明では、特定のタスクは主メモリ内の非キャッシュ領域とされた高速領域に割り当てられているので、特定タスクを高速に 30 処理することができるとともに、キャッシュ・メモリにおいて特定のタスク以外のタスクを高速に処理でき、システム全体のタスク処理を高速化できるという特有の効果奏する。

【図面の簡単な説明】

【図 1】この発明のマルチタスク処理装置の一実施例を示すブロック図である。

【図 2】従来のマルチタスク処理装置の一構成例を示すブロック図である。

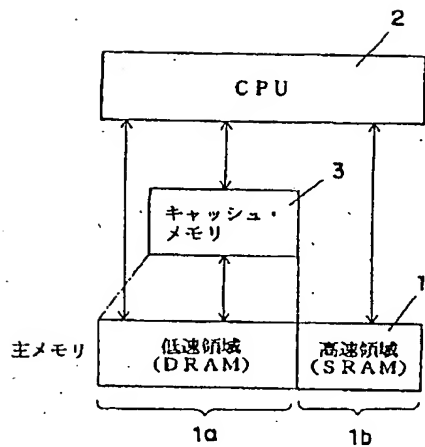
【符号の説明】

40 1 主メモリ 1 b 高速領域 2 CPU 3
キャッシュ・メモリ

(4)

5

【図1】



6

【図2】

